

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-033481

(43)Date of publication of application : 31.01.2002

(51)Int.Cl.

H01L 29/786
G02F 1/1368
G09F 9/30
H01L 21/20
H01L 21/28

(21)Application number : 2000-213560 (71)Applicant : SONY CORP

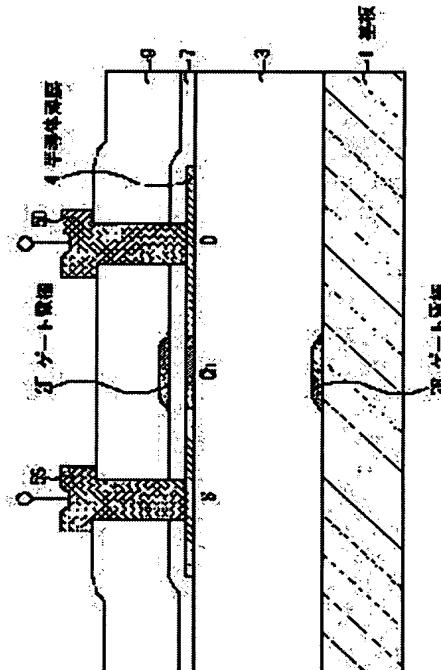
(22)Date of filing : 14.07.2000 (72)Inventor : HAYASHI HISAO

(54) THIN-FILM SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To rationalize the production process of a thin-film dual-gate transistor.

SOLUTION: The thin-film semiconductor device contains at least the thin-film transistor formed on a substrate 1. The transistor has the dual-gate structure which is composed of a semiconductor thin film 4 and a pair of gate electrodes 2F, 2R which are arranged in the upper part and the lower part of the film 4 via respective insulating films. The gate electrode 2R on one side is composed of a material whose transmissivity is at less than 1%. The gate electrode 2F on the other side is composed of a material whose transmissivity is at 1% or more.



LEGAL STATUS

[Date of request for examination] 17.11.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the thin film semiconductor device characterized by, as for one gate electrode, for permeability consisting of less than 1% of ingredient, and permeability consisting of 1% or more of ingredient in the thin film semiconductor device which has the dual gate structure where this thin film transistor serves as a semi-conductor thin film from the upper part of this semi-conductor thin film, and the gate electrode of a couple arranged caudad through an insulator layer, respectively, including at least the thin film transistor formed on the substrate, as for the gate electrode of another side.

[Claim 2] It is the thin film semiconductor device according to claim 1 which contains the pixel electrode driven by this thin film transistor, and is characterized by permeability consisting of 1% or more of ingredient in the same layer as the gate electrode of this another side, as for this pixel electrode.

[Claim 3] It is the thin film semiconductor device according to claim 1 characterized by patterning being carried out by the photolithography which uses one [this] gate electrode as a mask while, as for one [said] gate electrode, this semi-conductor thin film is arranged caudad and the gate electrode of said another side is arranged above this semi-conductor thin film.

[Claim 4] It is the thin film semiconductor device according to claim 1 characterized by for one [said] gate electrode consisting of a metallic material, and the gate electrode of said another side consisting of a transparency electrical conducting material.

[Claim 5] Said semi-conductor thin film is a thin film semiconductor device according to claim 1 characterized by consisting of polycrystalline silicon crystallized by the exposure of a laser beam.

[Claim 6] The thin film transistor formed on the substrate is included at least. This thin film transistor In the manufacture approach of a thin film semiconductor device of having the dual gate structure which serves as a semi-conductor thin film from the upper part of this semi-conductor thin film, and the gate electrode of a couple arranged caudad through an insulator layer, respectively The manufacture approach of the thin film semiconductor device characterized by for permeability forming one gate electrode with less than 1% of ingredient, and permeability forming the gate electrode of another side with 1% or more of ingredient.

[Claim 7] It is the manufacture approach of a thin film semiconductor device according to claim 6 that the process which forms the pixel electrode driven by this thin film transistor is included, and this pixel electrode is characterized by permeability using 1% or more of ingredient in the same layer as the gate electrode of this another side.

[Claim 8] It is the manufacture approach of the thin film semiconductor device according to claim 6 characterized by carrying out patterning by the photolithography to which the gate electrode of this another side uses one [this] gate electrode as a mask while this semi-conductor thin film arranges one [said] gate electrode caudad and arranging the gate electrode of said another side above this semi-conductor thin film.

[Claim 9] It is the manufacture approach of the thin film semiconductor device according to claim 6 characterized by forming one [said] gate electrode with a metallic material, and forming the gate electrode of said another side with a transparency electrical conducting material.

[Claim 10] Said semi-conductor thin film is the manufacture approach of the thin film semiconductor device according to claim 6 characterized by using the polycrystalline silicon crystallized by the

exposure of a laser beam.

[Claim 11] It consists of a substrate of the couple joined through the predetermined gap, and liquid crystal held in this gap. A thin film transistor and the pixel electrode which this drives are formed in one substrate, and the electrode which counters a pixel electrode is formed in the substrate of another side. This thin film transistor In the liquid crystal display which has the dual gate structure which serves as a semi-conductor thin film from the upper part of this semi-conductor thin film, and the gate electrode of a couple arranged caudad through an insulator layer, respectively It is the liquid crystal display characterized by, as for one gate electrode, for permeability consisting of less than 1% of ingredient, and permeability consisting of 1% or more of ingredient, as for the gate electrode of another side.

[Claim 12] This pixel electrode is a liquid crystal display according to claim 11 characterized by permeability consisting of 1% or more of ingredient in the same layer as the gate electrode of this another side.

[Claim 13] It is the liquid crystal display according to claim 11 characterized by patterning being carried out by the photolithography which uses one [this] gate electrode as a mask while, as for one [said] gate electrode, this semi-conductor thin film is arranged caudad and the gate electrode of said another side is arranged above this semi-conductor thin film.

[Claim 14] It is the liquid crystal display according to claim 11 characterized by for one [said] gate electrode consisting of a metallic material, and the gate electrode of said another side consisting of a transparency electrical conducting material.

[Claim 15] Said semi-conductor thin film is a liquid crystal display according to claim 11 characterized by consisting of polycrystalline silicon crystallized by the exposure of a laser beam.

[Claim 16] It is the electroluminescence display characterized by forming on a substrate a thin film transistor and the electroluminescent element which this drives, as for one gate electrode, for permeability consisting of less than 1% of ingredient in the electroluminescence display which has the dual gate structure where this thin film transistor serves as a semi-conductor thin film from the upper part of this semi-conductor thin film, and the gate electrode of a couple arranged caudad through an insulator layer, respectively, and permeability consisting of 1% or more of ingredient, as for the gate electrode of another side.

[Claim 17] From the luminescent material with which this electroluminescent element was held between the electrode of a couple, and these. The electrode of the direction connected to this thin film transistor is a electroluminescence display according to claim 16 characterized by permeability consisting of 1% or more of ingredient in the same layer as the gate electrode of this another side.

[Claim 18] It is the electroluminescence display according to claim 16 characterized by patterning being carried out by the photolithography which uses one [this] gate electrode as a mask while, as for one [said] gate electrode, this semi-conductor thin film is arranged caudad and the gate electrode of said another side is arranged above this semi-conductor thin film.

[Claim 19] It is the electroluminescence display according to claim 16 characterized by for one [said] gate electrode consisting of a metallic material, and the gate electrode of said another side consisting of a transparency electrical conducting material.

[Claim 20] Said semi-conductor thin film is a electroluminescence display according to claim 16 characterized by consisting of polycrystalline silicon crystallized by the exposure of a laser beam.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Field of the Invention] This invention relates to the thin film semiconductor device used for actuation substrates, such as a liquid crystal display and an organic electroluminescence display, and its manufacture approach. It is related with a thin film semiconductor device in more detail at the amelioration technique of the thin film transistor of the dual gate structure by which accumulation formation is carried out.

[0002]

[Description of the Prior Art] The thin film transistor by which accumulation formation is carried out uses amorphous silicon or polycrystalline silicon for a thin film semiconductor device at a barrier layer. The process technique which forms an amorphous silicon thin film transistor in a glass substrate cheap from the former by the large area is established. By fusion on the process technique established by development and the amorphous silicon thin film transistor of the laser annealing crystallizing method, on a too cheap glass substrate, polycrystalline silicon also covers a large area and formation of it is being attained. Especially the thin film semiconductor device of a large area is applicable to the liquid crystal display of a active-matrix mold etc. When a polycrystalline silicon thin film transistor was used, in the liquid crystal display of a active-matrix mold, the surrounding actuation circuit could be formed in one not only the switching element of a pixel but on the same substrate with the high level of current actuation capacity using the thin film transistor.

[0003] By the way, there are two kinds of structures of a thin film transistor greatly. One is the top gate structure where the gate electrode was formed above the barrier layer which consists of a semi-conductor thin film on a substrate. Another is the bottom product gate structure where the gate electrode was formed below the barrier layer. In recent years, the thin film transistor of the dual gate structure which combined both is developed, and it is indicated by JP,1-53459,A and JP,10-209452,A. Dual gate structure is the thing of the semi-conductor thin film used as the barrier layer of a thin film transistor which prepared the gate electrode up and down, respectively, and has improved the operating characteristic of a thin film transistor by impressing the same gate voltage simultaneously from the upper and lower sides.

[0004]

[Problem(s) to be Solved by the Invention] However, dual gate structure has the technical problem that a manufacture process is complicated, compared with top gate structure or bottom product gate structure, in order [of a semi-conductor thin film] to prepare a gate electrode up and down, respectively.

[0005]

[Means for Solving the Problem] This invention aims at rationalizing the manufacture process of a thin film transistor of having dual gate structure in view of the technical problem of a Prior art mentioned above. The following means were provided in order to attain the starting object. That is, this thin film transistor has the dual gate structure which serves as a semi-conductor thin film from the upper part of this semi-conductor thin film, and the gate electrode of a couple arranged caudad through an insulator layer, respectively, including at least the thin film transistor by which the thin film semiconductor device concerning this invention was formed on the substrate. As a description matter, as for one gate electrode, permeability consists of less than 1% of ingredient, and, as for the

gate electrode of another side, permeability consists of 1% or more of ingredient. In the one embodiment, the thin film semiconductor device contains the pixel electrode driven by this thin film transistor, and, as for this pixel electrode, permeability consists of 1% or more of ingredient in the same layer as the gate electrode of this another side. Preferably, as for one [said] gate electrode, this semi-conductor thin film is arranged caudad, and while the gate electrode of said another side is arranged above this semi-conductor thin film, patterning of it is carried out by the photolithography which uses one [this] gate electrode as a mask. Moreover, one gate electrode consists of a metallic material, and the gate electrode of another side consists of a transparency electrical conducting material. Preferably, said semi-conductor thin film consists of polycrystalline silicon crystallized by the exposure of a laser beam.

[0006] While according to this invention a thin film transistor has dual gate structure, for example, as for a lower gate electrode, permeability consists of less than 1% of metallic material, as for an upper gate electrode, permeability consists of 1% or more of transparency electrical conducting material. Since the lower gate electrode is optically opaque, it can be used as a light-shielding film. Since the upper gate electrode is transparent, it can constitute from same ingredient as the pixel electrode of a transparency mold display. Moreover, patterning is possible in an upper transparent gate electrode at self-alignment, using a lower opaque gate electrode as a mask. Therefore, in the thin film transistor which has dual gate structure, when permeability constitutes one gate electrode from less than 1% of an ingredient and permeability constitutes the gate electrode of another side from 1% or more of an ingredient, it is possible to attain various process rationalization.

[0007]

[Embodiment of the Invention] With reference to a drawing, the gestalt of operation of this invention is explained to a detail below. Drawing 1 is the typical fragmentary sectional view showing an example of the first operation gestalt of the thin film semiconductor device concerning this invention. This thin film semiconductor device contains at least the thin film transistor formed in the substrate 1 which consists of glass etc. so that it may illustrate. This thin film transistor has the dual gate structure which serves as the semi-conductor thin film 4 from the upper part of the semi-conductor thin film 4, and the gate electrodes 2F and 2R of a couple arranged caudad through an insulator layer, respectively. SiO₂ whose thickness background gate electrode 2R is formed in the front face of a substrate 1 with this operation gestalt, and is 500nm about a it top from -- it has covered with the becoming insulator layer 3. On the insulator layer 3, the semi-conductor thin film 4 which consists of polycrystalline silicon is arranged. The thickness is 40nm. side front gate electrode 2F -- the same -- SiO₂ from -- it is formed on the becoming insulator layer 7. The part of the semi-conductor thin film 4 pinched by side front gate electrode 2F and background gate electrode 2R serves as the channel field Ch, and the source field S where the impurity was poured into the both sides by high concentration, and the drain field D are formed. the thin film transistor of the dual gate mold which has the starting configuration -- SiO₂ etc. -- from -- it is covered with the becoming interlayer insulation film 9. The contact hole is carrying out opening to this interlayer insulation film 9, and the wiring 5S and 5D which consists of metal aluminum etc. is formed on it.

[0008] As a description matter of this invention, as for one gate electrode, permeability consists of less than 1% of ingredient, and, as for the gate electrode of another side, permeability consists of 1% or more of ingredient. With this operation gestalt, background gate electrode 2R consists of an ingredient of less than 1% of permeability, and, as for side front gate electrode 2F, permeability consists of 1% or more of ingredient. Background gate electrode 2R consists of a metallic material, and is optically opaque. Side front gate electrode 2F consist of transparency electrical conducting materials, such as ITO, and are optically transparent. It is possible to carry out patterning of the transparent gate electrode 2F optically by self-alignment by using opaque background gate electrode 2R as a mask. In addition, the semi-conductor thin film 4 consists of polycrystalline silicon crystallized by the exposure of a laser beam. This laser crystallization method serves as an important technique, when forming a thin film transistor in a low-temperature process 600 degrees C or less.

[0009] Then, the manufacture approach of the thin film semiconductor device applied to this invention with reference to drawing 1 is explained to a detail. First, metal wiring used as background gate electrode 2R is formed on the insulating substrate 1 which consists of glass etc. Since this metal is used as wiring, the metallic material of low resistance is comparatively used for aluminum, Mo,

Cr, etc. Moreover, background gate electrode 2R is available also as an optical protection-from-light layer to the channel field Ch of a thin film transistor, and, for the reason, permeability is set up to 1% or less. Therefore, background gate electrode 2R is optically opaque. this wiring layer top -- for example, a CVD method -- SiO₂ from -- the becoming insulator layer 3 and the semi-conductor thin film 4 which consists of amorphous silicon are formed. An insulator layer 3 and the semi-conductor thin film 4 can be continuously formed using the same CVD system. However, this invention is not restricted to this and may form nonsequentially an insulator layer 3 and the semi-conductor thin film 4 with separate equipment. With this operation gestalt, the thickness of an insulator layer 3 is about 500nm, and the thickness of the semi-conductor thin film 4 is about 40nm. A laser beam is irradiated from a side front after this at the semi-conductor thin film 4, and amorphous silicon is converted into polycrystalline silicon. Thereby, the mobility of a thin film transistor improves substantially. Then, after setting the semi-conductor thin film 4 by the configuration of the component field of a thin film transistor and carrying out patterning to island shape, the gate dielectric film 7 on a side front is formed. For example, it is SiO₂ by CVD. About 100nm is deposited. Moreover, patterning formation of side front gate electrode 2F is carried out. For example, after forming transparency electric conduction film, such as ITO, on an insulator layer 7, coating of the photoresist is further carried out on it. After this, by using metal gate electrode 2R as a mask, exposure processing is performed from the background of a substrate 1, and patterning of the photoresist is carried out by self-alignment. After developing a photoresist, the transparency electric conduction film is etched for this as a mask, and gate electrode 2F are formed. As mentioned above, with this operation gestalt, using the rear-face exposing method, the pattern of background gate electrode 2R can be imprinted to side front gate electrode 2F, and it leads to process rationalization. In addition, side front gate electrode 2F may be replaced with transparency electrical conducting materials, such as ITO, and the thin metallic material of thickness is sufficient as them. By making thickness thin, permeability is securable 1% or more. Moreover, as much as possible, the direction which made thin thickness of side front gate electrode 2F is desirable, when lessening the level difference of a thin film transistor.

[0010] Then, by using side front gate electrode 2F as a mask, by ion implantation or ion doping, an impurity is injected into the semi-conductor thin film 4, and the source field S formed into low resistance and the drain field D are formed. thus, the thin film transistor top of the created dual gate structure -- SiO₂ etc. -- from -- the becoming interlayer insulation film 9 is covered. The contact hole which is open for free passage to the source field S and the drain field D to this interlayer insulation film 9 is opened, and the metal used as Wiring 5S and 5D is formed. In addition, in the thin film transistor of dual gate structure, the gate voltage of same electric potential is fundamentally impressed to background gate electrode 2R and side front gate electrode 2F. For this reason, the process which carries out electrical connection of side front gate electrode 2F to background gate electrode 2R is needed. For example, what is necessary is to open a contact hole and just to connect with background gate electrode 2R and same electric potential using this, before forming side front gate electrode 2F. Or the approach of also opening the contact hole to background gate electrode 2R in opening and coincidence of a contact hole to the source field S and the drain field D, and connecting side front gate electrode 2F and background gate electrode 2R with them with the last metal wiring may be used.

[0011] Drawing 2 is the typical fragmentary sectional view showing an example of the second operation gestalt of the thin film semiconductor device concerning this invention. A corresponding reference number is given to the first operation gestalt shown in drawing 1 , and a corresponding part, and an understanding is made easy. This operation gestalt contains the pixel electrode 10 driven by the thin film transistor which has dual gate structure. As for this pixel electrode 10, permeability consists of 1% or more of ingredient in the same layer as side front gate electrode 2F. For example, both the pixel electrode 10 and side front gate electrode 2F consist of transparency electrical conducting materials, such as ITO. Since patterning of the pixel electrode 10 and side front gate electrode 2F can be carried out simultaneously, it leads to process rationalization. In addition, patterning of side front gate electrode 2F cannot be carried out by the self-alignment which used background gate electrode 2R as the mask in this case. Paying attention to this point, with this operation gestalt, patterning of the background gate electrode 2R has been carried out beforehand more greatly than the channel field Ch, and protection-from-light nature is secured. A surroundings

lump of light can be prevented by enlarging the face shield product of background gate electrode 2R.

[0012] Drawing 3 is the typical perspective view showing an example of the liquid crystal display of the active-matrix mold concerning this invention. This liquid crystal display uses for an actuation substrate the thin film semiconductor device shown in drawing 2, and is formed. This liquid crystal display has structure which held liquid crystal 17 between the actuation substrate 1 and the opposite substrate 20. Accumulation formation of the pixel array section and the circumference circuit section is carried out at the actuation substrate 1. The circumference circuit section is divided into the vertical-scanning circuit 41 and the horizontal scanning circuit 42. Moreover, the terminal electrode 47 for external connection is also formed in the upper bed side of the actuation substrate 1. Each terminal electrode 47 is connected to the vertical-scanning circuit 41 and the horizontal scanning circuit 42 through wiring 48. The gate wiring 43 and signal wiring 44 which cross mutually are formed in the pixel array section. It connected with the vertical-scanning circuit 41, and the gate wiring 43 has connected signal wiring 44 to the horizontal scanning circuit 42. The pixel electrode 10 and thin film transistor FTF which drives this are formed in the intersection of both wiring 43 and 44. On the other hand, the counterelectrode is formed although not illustrated to the internal surface of the opposite substrate 20. The thin film transistor TFT formed in the pixel array section constitutes the shift register formed in the surrounding vertical-scanning circuit 41 and the surrounding horizontal scanning circuit 42 from this example by the thin film transistor of dual gate structure to being the usual single gate mold according to this invention.

[0013] Drawing 4 is the typical fragmentary sectional view showing an example of the electroluminescence display concerning this invention, and expresses only 1 pixel. This operation gestalt is replaced with a liquid crystal cell as an electro-optics component, and organic electroluminescent element OLED is used for it. OLED piles up in order the anode plate A which consists of transparency electric conduction film, such as ITO, etc., an organic layer 110, and the metaled cathode K. It has dissociated for every pixel and the anode plate A is fundamentally transparent. Common connection of the cathode K is made between pixels, and it is light reflex nature fundamentally. If the electrical potential difference (about 10V) of the forward direction is impressed between anode plate A / cathode K of OLED which has the starting configuration, impregnation of carriers, such as an electron and an electron hole, will take place, and luminescence will be observed. Actuation of OLED is considered to be luminescence by the exciton formed with the electron poured in from an impregnation **** electron hole and Cathode K from the anode plate A. OLED carries out outgoing radiation of the light emitted itself to a rear-face side from the front-face side of the substrate 1 which consists of glass etc. The thin film transistor of a graphic display has dual gate structure equipped with gate electrode 2R on on the gate electrode 2F and the background of a side front according to this invention.

[0014]

[Effect of the Invention] As explained above, according to this invention, the background gate electrode of the thin film transistor which has dual gate structure is made opaque, and the side front gate electrode is made into transparency. Thereby, a process can be rationalized in the configuration list of a thin film transistor. For example, the optical leakage current of a thin film transistor can be controlled by using a lower gate electrode as a light-shielding film. Moreover, since a side front gate electrode and a pixel electrode can be formed by the common transparency conductive layer, a process can be simplified. Furthermore, an opaque background gate electrode can carry out patterning processing of the side front gate electrode transparent as a mask in self-alignment. In addition, the engine performance of a thin film transistor improves by adopting dual gate structure. The short channel effect can be controlled and, specifically, pressure-proofing of a drain edge goes up. It is possible to make a LDD field unnecessary by this. Since dual gate structure can ease the electric-field concentration in a drain edge, it can control the short channel effect while it leads to the improvement in a proof pressure.

[Translation done.]

*** NOTICES ***

JPO and INPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

PRIOR ART

[Description of the Prior Art] The thin film transistor by which accumulation formation is carried out uses amorphous silicon or polycrystalline silicon for a thin film semiconductor device at a barrier layer. The process technique which forms an amorphous silicon thin film transistor in a glass substrate cheap from the former by the large area is established. By fusion on the process technique established by development and the amorphous silicon thin film transistor of the laser annealing crystallizing method, on a too cheap glass substrate, polycrystalline silicon also covers a large area and formation of it is being attained. Especially the thin film semiconductor device of a large area is applicable to the liquid crystal display of a active-matrix mold etc. When a polycrystalline silicon thin film transistor was used, in the liquid crystal display of a active-matrix mold, the surrounding actuation circuit could be formed in one not only the switching element of a pixel but on the same substrate with the high level of current actuation capacity using the thin film transistor.

[0003] By the way, there are two kinds of structures of a thin film transistor greatly. One is the top gate structure where the gate electrode was formed above the barrier layer which consists of a semiconductor thin film on a substrate. Another is the bottom product gate structure where the gate electrode was formed below the barrier layer. In recent years, the thin film transistor of the dual gate structure which combined both is developed, and it is indicated by JP,1-53459,A and JP,10-209452,A. Dual gate structure is the thing of the semi-conductor thin film used as the barrier layer of a thin film transistor which prepared the gate electrode up and down, respectively, and has improved the operating characteristic of a thin film transistor by impressing the same gate voltage simultaneously from the upper and lower sides.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the typical fragmentary sectional view showing the first operation gestalt of the thin film transistor concerning this invention.

[Drawing 2] It is the typical fragmentary sectional view showing the second operation gestalt of the thin film semiconductor device concerning this invention.

[Drawing 3] It is the perspective view showing an example of the liquid crystal display of the active-matrix mold concerning this invention.

[Drawing 4] It is the typical fragmentary sectional view showing an example of the organic electroluminescence display concerning this invention.

[Description of Notations]

1 [... Gate dielectric film, 4 / ... A semi-conductor thin film, 7 / ... Gate dielectric film, 9 / ... An interlayer insulation film, 10 / ... Pixel electrode] ... A substrate, 2F ... A side front gate electrode, 2R ... A background gate electrode, 3

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-33481

(P2002-33481A)

(43)公開日 平成14年1月31日 (2002.1.31)

(51)Int.Cl. ⁷	識別記号	F I	テマコード ⁸ (参考)
H 01 L 29/786		G 09 F 9/30	3 3 8 2 H 09 2
G 02 F 1/1368		H 01 L 21/20	4 M 10 4
G 09 F 9/30	3 3 8	21/28	3 0 1 Z 5 C 09 4
H 01 L 21/20		29/78	6 1 7 M 5 F 05 2
21/28	3 0 1	G 02 F 1/136	5 0 0 5 F 11 0
			審査請求 未請求 請求項の数20 O L (全 7 頁) 最終頁に統く

(21)出願番号 特願2000-213560(P2000-213560)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(22)出願日 平成12年7月14日 (2000.7.14)

(72)発明者 林 久雄

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74)代理人 100092336

弁理士 鈴木 晴敏

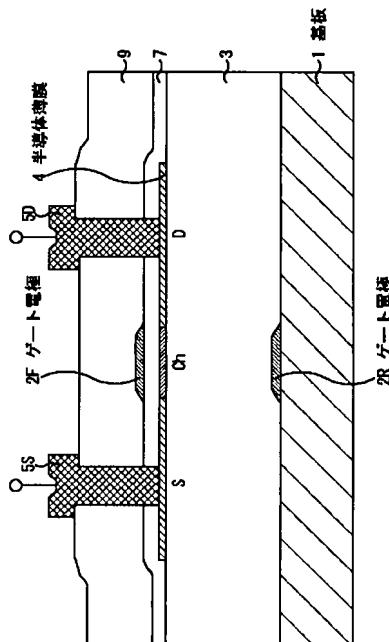
最終頁に統く

(54)【発明の名称】 薄膜半導体装置

(57)【要約】

【課題】 デュアルゲート構造の薄膜トランジスタの製造プロセスを合理化する。

【解決手段】 薄膜半導体装置は、基板1上に形成された薄膜トランジスタを少くとも含む。薄膜トランジスタは、半導体薄膜4と、それぞれ絶縁膜を介して半導体薄膜4の上方及び下方に配された一対のゲート電極2F, 2Rとからなるデュアルゲート構造を有する。一方のゲート電極2Rは透過率が1%未満の材料からなり、他方のゲート電極2Fは透過率が1%以上の材料からなる。一方のゲート電極2Rは半導体薄膜4の下方に配され、他方のゲート電極2Fは半導体薄膜4の上方に配されるとともに、一方のゲート電極2Rをマスクとするフォトリソグラフィによりパタニングされている。



【特許請求の範囲】

【請求項 1】 基板上に形成された薄膜トランジスタを少なくとも含み、該薄膜トランジスタは、半導体薄膜と、それぞれ絶縁膜を介して該半導体薄膜の上方及び下方に配された一対のゲート電極とからなるデュアルゲート構造を有する薄膜半導体装置において、一方のゲート電極は透過率が 1%未満の材料からなり、他方のゲート電極は透過率が 1%以上の材料からなることを特徴とする薄膜半導体装置。

【請求項 2】 該薄膜トランジスタによって駆動される画素電極を含んでおり、該画素電極は該他方のゲート電極と同一層で透過率が 1%以上の材料からなることを特徴とする請求項 1 記載の薄膜半導体装置。

【請求項 3】 前記一方のゲート電極は該半導体薄膜の下方に配され、前記他方のゲート電極は該半導体薄膜の上方に配されるとともに、該一方のゲート電極をマスクとするフォトリソグラフィによりパタニングされていることを特徴とする請求項 1 記載の薄膜半導体装置。

【請求項 4】 前記一方のゲート電極は金属材料からなり、前記他方のゲート電極は透明導電材料からなることを特徴とする請求項 1 記載の薄膜半導体装置。

【請求項 5】 前記半導体薄膜は、レーザ光の照射により結晶化した多結晶シリコンからなることを特徴とする請求項 1 記載の薄膜半導体装置。

【請求項 6】 基板上に形成された薄膜トランジスタを少なくとも含み、該薄膜トランジスタは、半導体薄膜と、それぞれ絶縁膜を介して該半導体薄膜の上方及び下方に配された一対のゲート電極とからなるデュアルゲート構造を有する薄膜半導体装置の製造方法において、一方のゲート電極を透過率が 1%未満の材料で形成し、他方のゲート電極を透過率が 1%以上の材料で形成することを特徴とする薄膜半導体装置の製造方法。

【請求項 7】 該薄膜トランジスタによって駆動される画素電極を形成する工程を含んでおり、該画素電極は該他方のゲート電極と同一層で透過率が 1%以上の材料を用いることを特徴とする請求項 6 記載の薄膜半導体装置の製造方法。

【請求項 8】 前記一方のゲート電極を該半導体薄膜の下方に配し、前記他方のゲート電極を該半導体薄膜の上方に配するとともに、該他方のゲート電極は該一方のゲート電極をマスクとするフォトリソグラフィによりパタニングすることを特徴とする請求項 6 記載の薄膜半導体装置の製造方法。

【請求項 9】 前記一方のゲート電極は金属材料で形成し、前記他方のゲート電極は透明導電材料で形成することを特徴とする請求項 6 記載の薄膜半導体装置の製造方法。

【請求項 10】 前記半導体薄膜は、レーザ光の照射により結晶化した多結晶シリコンを用いることを特徴とする請求項 6 記載の薄膜半導体装置の製造方法。

【請求項 11】 所定の間隙を介して接合した一対の基板と、該間隙に保持された液晶とからなり、一方の基板には薄膜トランジスタとこれにより駆動される画素電極が形成され、他方の基板には画素電極に対向する電極が形成され、該薄膜トランジスタは、半導体薄膜と、それぞれ絶縁膜を介して該半導体薄膜の上方及び下方に配された一対のゲート電極とからなるデュアルゲート構造を有する液晶表示装置において、一方のゲート電極は透過率が 1%未満の材料からなり、

10 他方のゲート電極は透過率が 1%以上の材料からなることを特徴とする液晶表示装置。

【請求項 12】 該画素電極は該他方のゲート電極と同一層で透過率が 1%以上の材料からなることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 13】 前記一方のゲート電極は該半導体薄膜の下方に配され、前記他方のゲート電極は該半導体薄膜の上方に配されるとともに、該一方のゲート電極をマスクとするフォトリソグラフィによりパタニングされていることを特徴とする請求項 1 記載の液晶表示装置。

20 【請求項 14】 前記一方のゲート電極は金属材料からなり、前記他方のゲート電極は透明導電材料からなることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 15】 前記半導体薄膜は、レーザ光の照射により結晶化した多結晶シリコンからなることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 16】 基板上に、薄膜トランジスタとこれにより駆動されるエレクトロルミネッセンス素子が形成され、該薄膜トランジスタは、半導体薄膜と、それぞれ絶縁膜を介して該半導体薄膜の上方及び下方に配された一対のゲート電極とからなるデュアルゲート構造を有するエレクトロルミネッセンス表示装置において、

一方のゲート電極は透過率が 1%未満の材料からなり、他方のゲート電極は透過率が 1%以上の材料からなることを特徴とするエレクトロルミネッセンス表示装置。

【請求項 17】 該エレクトロルミネッセンス素子は、一対の電極とこれらの間に保持された発光材料からなり。該薄膜トランジスタに接続された方の電極は該他方のゲート電極と同一層で透過率が 1%以上の材料からなることを特徴とする請求項 16 記載のエレクトロルミネッセンス表示装置。

【請求項 18】 前記一方のゲート電極は該半導体薄膜の下方に配され、前記他方のゲート電極は該半導体薄膜の上方に配されるとともに、該一方のゲート電極をマスクとするフォトリソグラフィによりパタニングされていることを特徴とする請求項 16 記載のエレクトロルミネッセンス表示装置。

【請求項 19】 前記一方のゲート電極は金属材料からなり、前記他方のゲート電極は透明導電材料からなることを特徴とする請求項 16 記載のエレクトロルミネッセンス表示装置。

【請求項20】 前記半導体薄膜は、レーザ光の照射により結晶化した多結晶シリコンからなることを特徴とする請求項16記載のエレクトロルミネッセンス表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶ディスプレイや有機エレクトロルミネッセンスディスプレイなどの駆動基板に用いられる薄膜半導体装置及びその製造方法に関する。より詳しくは、薄膜半導体装置に集積形成されるデュアルゲート構造の薄膜トランジスタの改良技術に関する。

【0002】

【従来の技術】 薄膜半導体装置に集積形成される薄膜トランジスタは、非晶質シリコン又は多結晶シリコンを活性層に用いる。非晶質シリコン薄膜トランジスタは、従来から安価なガラス基板に大面积で形成するプロセス技術が確立されている。多結晶シリコンも、レーザアーナーリ結晶化法の発展及び非晶質シリコン薄膜トランジスタで確立されていたプロセス技術との融合により、やはり安価なガラス基板上に大面积に亘って形成可能となってきた。大面积の薄膜半導体装置は特にアクティブマトリクス型の液晶ディスプレイ等に応用可能である。多結晶シリコン薄膜トランジスタを用いた場合、電流駆動能力の高さにより、アクティブマトリクス型の液晶ディスプレイにおいては、薄膜トランジスタを用いて画素のスイッチング素子のみならず同一基板上に周辺の駆動回路を一体的に形成できるようになった。

【0003】 ところで、薄膜トランジスタの構造には大きく二種類ある。一つは、基板上で半導体薄膜からなる活性層より上部にゲート電極が形成されたトップゲート構造である。もう一つは、活性層より下部にゲート電極が形成されたボトムゲート構造である。近年、両者を組み合わせたデュアルゲート構造の薄膜トランジスタが開発されており、特開平1-53459号公報や特開平10-209452号公報に開示されている。デュアルゲート構造は、薄膜トランジスタの活性層となる半導体薄膜の上下にゲート電極をそれぞれ設けたもので、上下から同一のゲート電圧を同時に印加することにより、薄膜トランジスタの動作特性を改善している。

【0004】

【発明が解決しようとする課題】 しかしながら、デュアルゲート構造は、半導体薄膜の上下にそれぞれゲート電極を設ける為、トップゲート構造又はボトムゲート構造に比べ、製造プロセスが複雑化するという課題がある。

【0005】

【課題を解決するための手段】 上述した従来の技術の課題に鑑み、本発明はデュアルゲート構造を有する薄膜トランジスタの製造プロセスを合理化することを目的とする。係る目的を達成する為に以下の手段を講じた。即

ち、本発明に係る薄膜半導体装置は、基板上に形成された薄膜トランジスタを少くとも含み、該薄膜トランジスタは、半導体薄膜と、それぞれ絶縁膜を介して該半導体薄膜の上方及び下方に配された一対のゲート電極とからなるデュアルゲート構造を有する。特徴事項として、一方のゲート電極は透過率が1%未満の材料からなり、他方のゲート電極は透過率が1%以上の材料からなる。一実施態様では、薄膜半導体装置は、該薄膜トランジスタによって駆動される画素電極を含んでおり、該画素電極は該他方のゲート電極と同一層で透過率が1%以上の材料からなる。好ましくは、前記一方のゲート電極は該半導体薄膜の下方に配され、前記他方のゲート電極は該半導体薄膜の上方に配されるとともに、該一方のゲート電極をマスクとするフォトリソグラフィによりパタニングされている。又、一方のゲート電極は金属材料からなり、他方のゲート電極は透明導電材料からなる。好ましくは、前記半導体薄膜は、レーザ光の照射により結晶化した多結晶シリコンからなる。

【0006】 本発明によれば、薄膜トランジスタがデュアルゲート構造を有し、例えば下側のゲート電極は透過率が1%未満の金属材料からなる一方、上側のゲート電極は透過率が1%以上の透明導電材料からなる。下側のゲート電極は光学的に不透明であるので、遮光膜として利用することが可能である。上側のゲート電極は透明であるので、透過型表示装置の画素電極と同一材料で構成可能である。又、下側の不透明なゲート電極をマスクとして、セルフアライメントで上側の透明なゲート電極をパタニング可能である。従って、デュアルゲート構造を有する薄膜トランジスタにおいて、一方のゲート電極を透過率が1%未満の材料で構成し、他方のゲート電極を透過率が1%以上の材料で構成することにより、種々の工程合理化を図ることが可能である。

【0007】

【発明の実施の形態】 以下図面を参照して、本発明の実施の形態を詳細に説明する。図1は、本発明に係る薄膜半導体装置の第一実施形態の一例を示す模式的な部分断面図である。図示する様に、本薄膜半導体装置は、ガラスなどからなる基板1に形成された薄膜トランジスタを少くとも含む。この薄膜トランジスタは、半導体薄膜4と、それぞれ絶縁膜を介して半導体薄膜4の上方及び下方に配された一対のゲート電極2F, 2Rとからなるデュアルゲート構造を有する。本実施形態では、基板1の表面に裏側ゲート電極2Rが形成されており、その上を例えば厚みが500nmのSiO₂からなる絶縁膜3で被覆している。絶縁膜3の上には例えば多結晶シリコンからなる半導体薄膜4が配されている。その膜厚は例えば40nmである。表側ゲート電極2Fは同じくSiO₂からなる絶縁膜7の上に形成されている。表側ゲート電極2Fと裏側ゲート電極2Rで挟まれた半導体薄膜4の部分がチャネル領域Chとなり、その両側に不純物が

高濃度で注入されたソース領域S及びドレイン領域Dが形成される。係る構成を有するデュアルゲート型の薄膜トランジスタは、 SiO_2 などからなる層間絶縁膜9により被覆されている。この層間絶縁膜9にはコンタクトホールが開口しており、その上に金属アルミニウムなどからなる配線5S、5Dが形成されている。

【0008】本発明の特徴事項として、一方のゲート電極は透過率が1%未満の材料からなり、他方のゲート電極は透過率が1%以上の材料からなる。本実施形態では、裏側ゲート電極2Rが透過率1%未満の材料からなり、表側ゲート電極2Fは、透過率が1%以上の材料からなる。裏側ゲート電極2Rは例えば金属材料からなり、光学的に不透明である。表側ゲート電極2Fは例えばITOなどの透明導電材料からなり、光学的に透明である。光学的に不透明な裏側ゲート電極2Rをマスクとして、セルフアライメントにより光学的に透明なゲート電極2Fをパタニングすることが可能である。尚、半導体薄膜4は、レーザ光の照射により結晶化した多結晶シリコンからなる。このレーザ結晶化方式は、600°C以下の低温プロセスで薄膜トランジスタを形成する上で、重要な技術となっている。

【0009】引き続き、図1を参照して本発明に係る薄膜半導体装置の製造方法を詳細に説明する。まず、ガラスなどからなる絶縁性の基板1の上に、裏側ゲート電極2Rとなる金属配線を形成する。この金属は配線として使われる所以、Al、Mo、Crなど比較的低抵抗の金属材料が使われる。又、裏側ゲート電極2Rは薄膜トランジスタのチャネル領域Chに対する光遮光層としても利用可能であり、その為透過率は1%以下に設定する。従って、裏側ゲート電極2Rは光学的に不透明である。この配線層の上に、例えばCVD法により SiO_2 からなる絶縁膜3と、非晶質シリコンからなる半導体薄膜4を形成する。絶縁膜3及び半導体薄膜4は同一のCVD装置を用いて連続的に成膜可能である。但し、本発明はこれに限られるものではなく、絶縁膜3と半導体薄膜4を別々の装置で不連続的に成膜してもよい。本実施形態では、絶縁膜3の厚みは500nm程度であり、半導体薄膜4の厚みは40nm程度である。この後半導体薄膜4に表側からレーザ光を照射して、非晶質シリコンを多結晶シリコンに転換する。これにより、薄膜トランジスタの移動度が大幅に向上する。この後、半導体薄膜4を薄膜トランジスタの素子領域の形状に合わせて島状にパタニングした後、表側のゲート絶縁膜7を成膜する。例えば、CVDにより SiO_2 を100nm程度堆積する。その上に、表側ゲート電極2Fをパタニング形成する。例えば、ITOなどの透明導電膜を絶縁膜7の上に成膜した後、その上に更にフォトレジストを塗工する。この後金属ゲート電極2Rをマスクとして基板1の裏側から露光処理を行ない、フォトレジストをセルフアライメントでパタニングする。フォトレジストを現像した

後、これをマスクとして透明導電膜をエッティングし、ゲート電極2Fを形成する。以上の様に、本実施形態では裏面露光法を用いて、裏側ゲート電極2Rのバタンを表側ゲート電極2Fに転写することができ、工程合理化につながる。尚、表側ゲート電極2FはITOなどの透明導電材料に代え、膜厚の薄い金属材料でもよい。膜厚を薄くすることにより、透過率を1%以上確保することができる。又、可能な限り、表側ゲート電極2Fの厚みを薄くした方が、薄膜トランジスタの段差を少くする上で好ましい。

【0010】続いて表側ゲート電極2Fをマスクとしてイオンインプランテーション又はイオンドーピングにより、不純物を半導体薄膜4に注入し、低抵抗化されたソース領域S及びドレイン領域Dを形成する。この様にして作成されたデュアルゲート構造の薄膜トランジスタの上に、 SiO_2 などからなる層間絶縁膜9を被覆する。この層間絶縁膜9に対してソース領域S及びドレイン領域Dに連通するコンタクトホールを開け、配線5S、5Dとなる金属を形成する。尚、デュアルゲート構造の薄膜トランジスタでは、基本的に裏側ゲート電極2Rと表側ゲート電極2Fに対して同電位のゲート電圧が印加される。この為、表側ゲート電極2Fを裏側ゲート電極2Rに電気接続する工程が必要となる。例えば、表側ゲート電極2Fを形成する前に、コンタクトホールを開け、これを利用して裏側ゲート電極2Rと同電位に接続すればよい。あるいは、ソース領域S及びドレイン領域Dに対するコンタクトホールの開口と同時に、裏側ゲート電極2Rに対するコンタクトホールも開け、最後の金属配線で表側ゲート電極2Fと裏側ゲート電極2Rを連結する方法でもよい。

【0011】図2は、本発明に係る薄膜半導体装置の第二実施形態の一例を示す模式的な部分断面図である。図1に示した第一実施形態と対応する部分には対応する参考番号を付して理解を容易にしている。本実施形態は、デュアルゲート構造を有する薄膜トランジスタによって駆動される画素電極10を含んでいる。この画素電極10は表側ゲート電極2Fと同一層で透過率が1%以上の材料からなる。例えば、画素電極10と表側ゲート電極2Fは共にITOなどの透明導電材料からなる。画素電極10と表側ゲート電極2Fを同時にパタニングできるので工程合理化につながる。尚、この場合には裏側ゲート電極2Rをマスクとしたセルフアライメントで表側ゲート電極2Fをパタニングすることはできない。この点に着目し、本実施形態ではあらかじめ裏側ゲート電極2Rをチャネル領域Chよりも大きくパタニングしており、遮光性を確保している。裏側ゲート電極2Rの遮光面積を大きくすることで、光の回り込みを防ぐことができる。

【0012】図3は、本発明に係るアクティブマトリックス型の液晶表示装置の一例を示す模式的な斜視図であ

る。本液晶表示装置は、図2に示した薄膜半導体装置を駆動基板に用いて形成されている。この液晶表示装置は駆動基板1と対向基板20との間に液晶17を保持した構造となっている。駆動基板1には画素アレイ部と周辺回路部とが集積形成されている。周辺回路部は垂直走査回路41と水平走査回路42とに分かれている。又、駆動基板1の上端側には外部接続用の端子電極47も形成されている。各端子電極47は配線48を介して垂直走査回路41及び水平走査回路42に接続している。画素アレイ部には互いに交差するゲート配線43と信号配線44が形成されている。ゲート配線43は垂直走査回路41に接続し、信号配線44は水平走査回路42に接続している。両配線43、44の交差部には画素電極10とこれを駆動する薄膜トランジスタFTFとが形成されている。一方、対向基板20の内表面には図示しないが対向電極が形成されている。本例では、画素アレイ部に形成された薄膜トランジスタFTFは通常のシングルゲート型であるのに対し、周辺の垂直走査回路41と水平走査回路42に形成されたシフトレジスタなどは本発明に従ってデュアルゲート構造の薄膜トランジスタで構成している。

【0013】図4は、本発明に係るエレクトロルミネッセンス表示装置の一例を示す模式的な部分断面図であり、一画素のみを表わしている。本実施形態は、電気光学素子として液晶セルに代えて有機エレクトロルミネッセンス素子OLEDを用いている。OLEDはITOなどの透明導電膜などからなる陽極A、有機層110及び金属の陰極Kを順に重ねたものである。陽極Aは画素毎に分離しており、基本的に透明である。陰極Kは画素間で共通接続されており、基本的に光反射性である。係る構成を有するOLEDの陽極A/陰極K間に順方向の電圧(10V程度)を印加すると、電子や正孔などのキャリアの注入が起こり、発光が観測される。OLEDの動作は、陽極Aから注入された正孔と陰極Kから注入された電子により形成された励起子による発光と考えられる。OLEDは自ら発した光をガラスなどからなる基板1の

表面側から裏面側に出射する。図示の薄膜トランジスタは本発明に従って表側のゲート電極2Fと裏側のゲート電極2Rを備えたデュアルゲート構造となっている。

【0014】

【発明の効果】以上説明したように、本発明によれば、デュアルゲート構造を有する薄膜トランジスタの裏側ゲート電極を不透明とし、表側ゲート電極を透明にしている。これにより、薄膜トランジスタの構成並びにプロセスを合理化できる。例えば、下側のゲート電極を遮光膜

10 として利用することにより、薄膜トランジスタの光リーク電流を抑制可能である。又、表側ゲート電極と画素電極を共通の透明導電層で形成できるので、プロセスが簡略化可能である。更に、不透明な裏側ゲート電極をマスクとして透明な表側ゲート電極をセルフアライメントでパタニング処理できる。加えて、デュアルゲート構造を採用することにより、薄膜トランジスタの性能が向上する。具体的には、ショートチャネル効果を抑制でき、ドレイン端の耐圧が上がる。これにより、LDD領域を不要にすることが可能である。デュアルゲート構造は、ド20 レイン端における電界集中を緩和可能なので、耐圧向上につながるとともにショートチャネル効果を抑制できる。

【図面の簡単な説明】

【図1】本発明に係る薄膜トランジスタの第一実施形態を示す模式的な部分断面図である。

【図2】本発明に係る薄膜半導体装置の第二実施形態を示す模式的な部分断面図である。

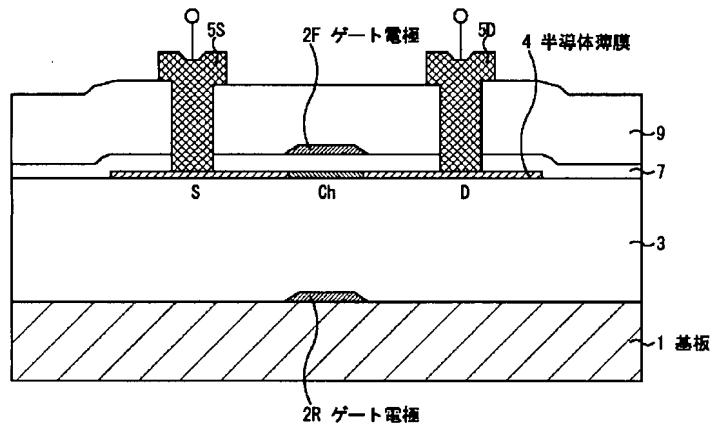
【図3】本発明に係るアクティブマトリクス型の液晶表示装置の一例を示す斜視図である。

30 【図4】本発明に係る有機エレクトロルミネッセンス表示装置の一例を示す模式的な部分断面図である。

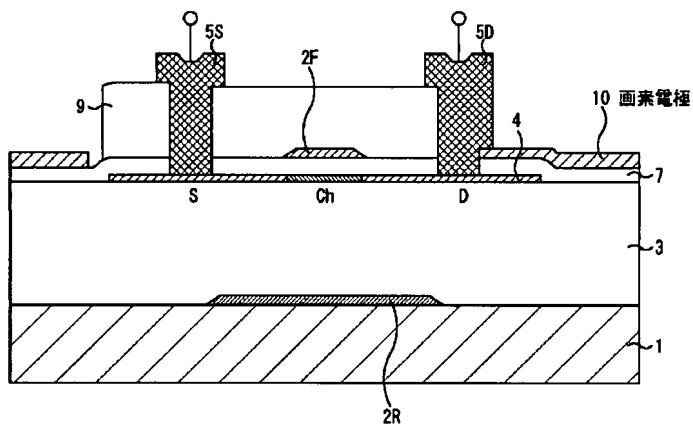
【符号の説明】

1・・・基板、2F・・・表側ゲート電極、2R・・・裏側ゲート電極、3・・・ゲート絶縁膜、4・・・半導体薄膜、7・・・ゲート絶縁膜、9・・・層間絶縁膜、10・・・画素電極

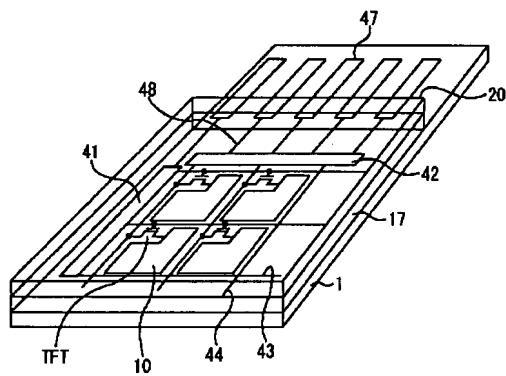
【図1】



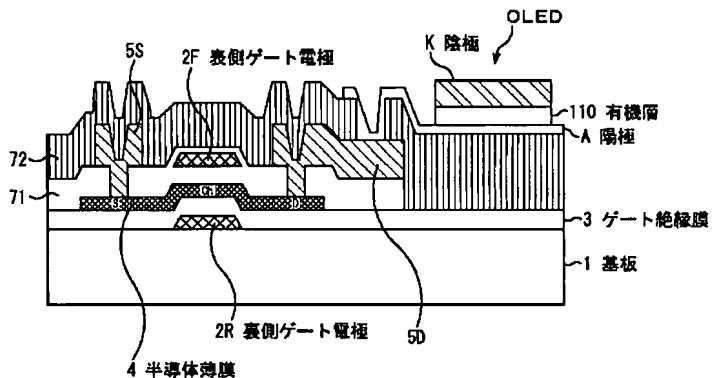
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

「マーク」(参考)

H 01 L 29/78

6 1 7 N

F ターム(参考) 2H092 HA02 HA04 JA24 JA33 JA35
 JA40 JA46 JB54 KA04 KA12
 KA18 KB25 MA07 MA13 MA30
 MA42 NA21 NA27
 4M104 AA01 AA08 AA09 BB36 CC05
 GG14
 5C094 AA42 AA43 BA03 BA27 DA15
 EA04 EA05 EA07 EB05 GB10
 5F052 AA02 DA02 DB01 EA11 JA03
 5F110 AA16 BB02 DD02 EE03 EE04
 EE07 EE30 FF02 FF29 GG02
 GG13 GG25 GG44 HJ12 HJ13
 HL03 NN02 NN23 NN44 NN46
 NN47 NN72 PP03 PP10 QQ09
 QQ12